

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020000027814 A
 (43) Date of publication of application: 15.05.2000

(21) Application number: 1019980045845

(22) Date of filing: 29.10.1998

(71) Applicant:

HYUNDAI ELECTRONICS IND.
CO., LTD.

(72) Inventor:

LEE, JAE GON

(51) Int. Cl

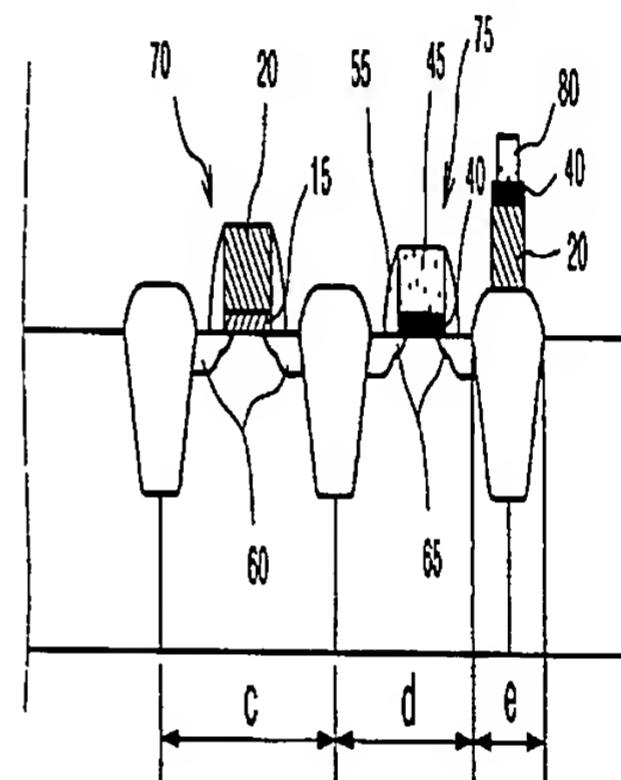
H01L 21/336

(54) METHOD FOR MANUFACTURING DUAL GATE OXIDATION LAYER OF ANALOG SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a dual gate oxidation layer of an analog semiconductor device is provided to prevent a gate oxidation layer from deteriorating, forming a capacitor while forming a gate electrode of which the thickness is different in high and low voltage regions respectively.

CONSTITUTION: A method for manufacturing a dual gate oxidation layer comprises the steps of: multi-laying a first gate oxidation layer (15) and a first polysilicon layer(20) having a thickness adaptable for a high voltage region on a semiconductor substrate(10); eliminating the first gate oxidation layer and the first polysilicon layer in the region other than the high voltage region and a capacitor region by forming a first photoresist layer(25) on the first polysilicon layer; forming a buffer oxidation layer(30) on the entire region, and a second photoresist layer(35) on the buffer oxidation layer of the high voltage region and the capacitor region; growing a second gate oxidation layer(40) on the semiconductor substrate of a low voltage region, a thickness of the second gate oxidation layer being thinner than the first gate oxidation layer, and forming a second polysilicon layer(45) on the entire region; eliminating the second gate oxidation layer and the second polysilicon layer in the other region than the low voltage region of the resultant structure; and forming a third photoresist layer (50) on the first polysilicon layer of the high voltage region and on the second polysilicon layer of the low voltage and capacitor regions, and forming gate electrodes(70, 75) and a capacitor(80) by etching.



COPYRIGHT 2000 KIPO

Legal Status

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
HO1L 21/336

(11) 공개번호: 특2000-0027814
(43) 공개일자: 2000년05월15일

(21) 출원번호	10-1998-0045845
(22) 출원일자	1998년10월29일
(71) 출원인	현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	이재곤 경기도 성남시 분당구 금곡동 180번지 청솔마을 유천화민아파트 207동 704호
(74) 대리인	박대진, 미은경, 정은섭

설명구 : **없음**

(54) 아날로그반도체소자의 듀얼게이트산화막 형성방법

요약

본 발명은 듀얼게이트산화막에 관한 것으로서, 특히, 반도체기판상에 고전압영역에 적용되는 두께를 갖는 제1게이트산화막 및 제1폴리실리콘층을 적용하는 단계와, 상기 제1폴리실리콘층상에 제1감광막을 적용하여 고전압영역 및 커패시터영역을 제외한 다른 부분의 제1게이트산화막 및 제1폴리실리콘층을 제거하는 단계와, 상기 결과물 전 영역상에 버퍼산화막을 적용한 후 고전압영역 및 커패시터영역의 버퍼산화막상에 제2감광막을 적용하여 식각으로 제거하는 단계와, 상기 제1게이트산화막 보다 두께가 얇은 제2게이트산화막을 저전압영역의 반도체기판상에 성장시킨 후 전영역 상에 제2폴리실리콘층을 적용하는 단계와, 상기 결과물에서 저전압영역을 제외한 부분의 제2게이트산화막 및 제2폴리실리콘층을 제거하는 단계와, 상기 고전압영역의 제1폴리실리콘층, 저전압영역 및 커패시터영역의 제2폴리실리콘층상에 제3감광막을 적용하여 식각으로 게이트전극 및 커패시터를 형성하는 단계로, 이루어진 아날로그반도체소자의 듀얼게이트산화막 형성방법인 바, 아날로그 커패시터를 형성하면서 고전압영역과 저전압영역에 두께가 다른 게이트산화막을 갖는 게이트전극을 형성하므로 고전압영역의 두꺼운 게이트산화막의 열화를 방지하도록 하는 매우 유용하고 효과적인 발명이다.

1. 표

2. 도

3. 명세서

도면의 간단한 설명

도 1(a) 내지 도 1(d)는 증례의 일반적인 듀얼게이트산화막을 형성하는 방법을 순차적으로 보인 도면이고,
 도 2(a) 내지 도 2(g)는 본 발명에 따른 아날로그반도체소자의 듀얼게이트산화막 형성방법을 순차적으로 보인 도면이다.

도면의 주요 부분에 대한 부호의 설명

10 : 반도체기판	12 : 필드산화막
15 : 제1게이트산화막	20 : 제1폴리실리콘층
25 : 제1감광막	30 : 버퍼산화막
35 : 제2감광막	40 : 제2게이트산화막
45 : 제2폴리실리콘층	50 : 제3감광막
55 : 스페이서	60, 65 : 소오스/드레인영역
70, 75 : 게이트전극	80 : 커패시터

4. 발명의 상세한 설명

4-1. 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 듀얼게이트산화막에 관한 것으로서, 특히, 고전압영역과 저전압영역에 두께가 다른 게이트산화막을 갖는 게이트전극을 형성함과 동시에 커파시터를 형성할 수 있어서 게이트산화막의 열화를 방지하도록 하는 아날로그반도체소자의 듀얼게이트산화막 형성방법에 관한 것이다.

일반적으로, 모스형전계효과 트랜지스터는 반도체기판에 필드산화막을 형성한 후에 그 전면에 게이트산화막 및 폴리실리콘층을 활성영역(Active Region)에 형성하고서 마스크팅식각으로 트랜지스터의 전극역할을 하는 게이트전극을 형성하여 이 기이트전극의 측면부분에 있는 반도체기판에 이온을 주입하여 소오스/드레인영역을 형성하므로 트랜지스터로서 사용될 수 있게 된다.

이러한 트랜지스터에서 게이트산화막은 상부와 하부사이를 전기적으로 차단하는 절연역할을 하게 되는 것으로서, 반도체소자에서 전기적으로 전압이 높은 고전압영역과 전압이 낮은 저전압영역이 동시에 사용되는 듀얼게이트산화막(Dual Gate Oxide)을 갖는 트랜지스터에서는 고전압영역의 게이트산화막의 두께는 두껍게 형성하고, 저전압영역에서는 게이트산화막의 두께를 얕게 형성하여 전기적으로 절연이 적절하게 이루어지도록 구성되어져 있다.

도 1(a) 내지 도 1(d)는 종래의 일반적인 듀얼게이트산화막을 형성하는 방법을 순차적으로 보인 도면으로서, 종래의 공정을 살펴 보도록 한다.

도 1(a)는 반도체기판(1)에 저전압영역(a) 및 고전압영역(b)으로 구분되도록 필드산화막(2)을 형성한 후 그 결과를 상에 150Å정도 두께의 제1게이트산화막(3)을 적층한 상태를 도시하고 있으며, 고전압영역(b)에는 P-WELL 및 N-WELL이 형성되어지고 필드산화막(2)에 의하여 구분되어지게 된다.

도 1(b)는 상기 단계 후에 게이트산화막(3) 상에서 고전압영역(b)에만 제1감광막(4)을 적층한 후에 식각으로 저전압영역(a)의 게이트산화막(3)을 제거한 상태를 도시하고 있다.

도 1(c)는 상기 제1감광막(4)을 제거한 후에 상기 결과물의 전면에 50~70Å 두께의 제2게이트산화막(5)을 형성한 상태를 도시하고 있으며, 자동적으로 저전압영역(a)에는 얕은 게이트산화막이 형성되어지게 되고, 고전압영역(b)에는 두꺼운 게이트산화막이 형성되어지게 되는 것이다.

도 1(d)는 상기 제2게이트산화막(5)상에 폴리실리콘층(6)을 적층한 후에 마스크팅식각으로 저전압영역(a) 및 고전압영역(b)의 P-WELL, N-WELL에 각각 게이트전극(7a)(7b)(7c)를 형성한 후 그 측면부에 이온을 주입하여 소오스(8a)(8b)(8c) 및 드레인(9a)(9b)(9c)를 형성한 상태를 도시하고 있다.

그런데, 종래에는 상기한 부분에서 반도체기판(1)에 필드산화막(2)을 형성한 후 제1게이트산화막(3)을 열공정으로 형성할 때 제1게이트산화막(3)의 두께가 150Å의 두께로 비교적 두꺼워 저 공정시간이 길어짐에 따라 그 하부에 있는 실리콘판내의 물순률이온의 재분포를 초래할 뿐만 아니라 제1게이트산화막의 형성한 후 감광막을 적층하여 저전압영역의 게이트산화막을 건식식각으로 제거하는 공정에서 반도체기판에 손상을 기하여 소자의 전기적인 특성을 저하시키는 문제점을 지니고 있었다.

또한, 고전압영역의 게이트산화막은 두차례에 걸쳐 형성되므로 고전압영역의 게이트산화막의 막질이 저하될 뿐만 아니라 고전압영역의 동작전압이 저전압영역과 같은 LDD 도스량으로는 고전압영역의 핫캐리어특성을 나쁘게 하고, 스페이서와 LDD(Lightly Doped Drain)영역의 계면에 손상이 발생하여 트랜지스터의 전기적인 특성이 저하되는 단점을 지니고 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 트랜지스터의 고전압영역에 먼저 두꺼운 제1게이트산화막 및 제1폴리실리콘층을 적층하면서 커파시터영역에 하부 전극을 동시에 형성하고, 그 후에 저전압영역에 얕은 제2게이트산화막 및 제2폴리실리콘층을 적층하면서 커파시터영역의 상부전극을 형성하므로 고전압영역과 저전압영역에 두께가 다른 게이트산화막을 갖는 게이트전극을 형성함과 동시에 커파시터를 형성할 수 있어서 게이트산화막의 열화를 방지하는 것이 목적이이다.

발명의 구성 및 작용

이러한 목적은 반도체기판상에 고전압영역에 적용되는 두께를 갖는 제1게이트산화막 및 제1폴리실리콘층을 적층하는 단계와, 상기 제1폴리실리콘층상에 제1감광막을 적층하여 고전압영역 및 커파시터영역을 제외한 다른 부분의 제1게이트산화막 및 제1폴리실리콘층을 제거하는 단계와, 상기 결과물 전영역상에 버퍼산화막을 적층한 후 고전압영역 및 커파시터영역의 버퍼산화막상에 제2감광막을 적층하여 식각으로 제거하는 단계와, 상기 제1게이트산화막 보다 두께가 얕은 제2게이트산화막을 저전압영역의 반도체기판상에 성장시킨 후 전영역 상에 제2폴리실리콘층을 적층하는 단계와, 상기 결과물에서 저전압영역을 제외한 부분의 제2게이트산화막 및 제2폴리실리콘층을 제거하는 단계와, 상기 고전압영역의 제1폴리실리콘층, 저전압영역 및 커파시터영역의 제2폴리실리콘층상에 제3감광막을 적층하여 식각으로 게이트전극 및 커파시터를 형성하는 단계로 이루어진 아날로그반도체소자의 듀얼게이트 산화막형성방법을 제공함으로써 달성된다.

그리고, 상기 제1폴리실리콘층은 커파시터 하부전극의 커파시터스를 조절하기 위하여 도핑률질이 함유되고, 상기 제1폴리실리콘층은 저압화학기상증착법(Low-Pressure Chemical Vapor Deposition)으로 510~650°C의 온도로 증착되도록 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일실시예에 대해 상세하게 설명하고자 한다.

도 2(a) 내지 도 2(g)는 본 발명에 따른 아날로그반도체소자의 듀얼게이트산화막 형성방법을 순차적으로 보인 도면이다.

도 2(a)는 반도체기판(10)상에 고전압영역(c)에 적용되는 두께를 갖는 제1게이트산화막(15) 및 제1폴리실리콘층(20)을 적층한 후 제1폴리실리콘층(20)상에 제1감광막(25)을 적층한 상태를 도시하고 있다.

이때, 상기 제1폴리실리콘층(20)은 커패시터(80)의 커패시턴스를 조절하기 위하여 도핑률질이 함유하도록 하고, 이 제1폴리실리콘층(20)은 저압화학기상증착법으로 510~650°C의 온도로 증착하도록 한다.

그리고, 도 2(b)는 상기 제1감광막(25)으로 고전압영역(c) 및 커패시터영역(e)을 제외한 다른 부분의 제1게이트산화막(15) 및 제1폴리실리콘층(20)을 제거하는 상태를 도시하고 있다.

또한, 도 2(c)는 상기 결과를 전영역상에 버퍼산화막(30)을 적층한 후 고전압영역 및 커패시터영역의 버퍼산화막(30)상에 제2감광막(35)을 적층한 상태를 도시하고 있다.

도 2(d)는 상기 제2감광막(35)으로 고전압영역(c) 및 커패시터영역(e)을 제외한 부분의 버퍼산화막(30)을 제거한 상태를 도시하고 있다.

도 2(e)는 상기 제1게이트산화막(15)보다 두께가 얇은 제2게이트산화막(40)을 저전압영역의 반도체기판(10)상에 성장시킨 후 전영역 상에 제2폴리실리콘층(45)을 적층하는 상태를 도시하고 있다.

도 2(f)는 상기 결과를에서 저전압영역을 제외한 부분의 제2게이트산화막(40) 및 제2폴리실리콘층(45)을 제거한 후 상기 고전압영역의 제1폴리실리콘층(20), 저전압영역 및 커패시터영역의 제2폴리실리콘층(45)상에 제3감광막(50)을 적층하는 상태를 도시하고 있다.

그리고, 도 2(g)는 상기 제3감광막(50)으로 식각하여 게이트전극(70)(75) 및 커패시터전극(80)을 형성한 후 활성영역에 이온을 주입하여 소오스/드레인영역(60)(65)을 형성하고, 게이트전극(70)(75)의 측면부에 스페이서(55)를 각각 형성한 상태를 도시하고 있으며, 이어지는 후속공정은 통상공정과 동일하다.

3.2.2. 3D 게이트산화막 형성방법

상기한 바와 같이 본 발명에 따른 듀얼게이트산화막형성방법을 이용하게 되면, 트랜지스터의 고전압영역에 먼저 두꺼운 제1게이트산화막 및 제1폴리실리콘층을 적층하면서 커패시터영역에 하부 전극을 동시에 형성하고, 그 후에 저전압영역에 얇은 제2게이트산화막 및 제2폴리실리콘층을 적층하면서 커패시터영역의 상부전극을 동시에 형성한다. 그러므로, 아날로그 커패시터를 형성하면서 고전압영역과 저전압영역에 두께가 다른 게이트산화막을 갖는 게이트전극을 형성하므로 고전압영역에 형성되는 두꺼운 게이트산화막의 열화를 방지하도록 하는 매우 유용하고 효과적인 발명이다.

즉, 중래와는 반대로 본 발명의 경우에는 고전압영역의 두꺼운 게이트산화막을 먼저 형성한 후 다음공정에서 저전압영역의 게이트산화막을 형성하므로 고전압영역의 두꺼운 게이트산화막이 식각공정등으로 인하여 손상되는 것을 방지할 수 있는 것이다.

3.3. 청구항의 범위

청구항 1

반도체기판상에 고전압영역에 적용되는 두께를 갖는 제1게이트산화막 및 제1폴리실리콘층을 적층하는 단계와;

상기 제1폴리실리콘층상에 제1감광막을 적층하여 고전압영역 및 커패시터영역을 제외한 다른 부분의 제1게이트산화막 및 제1폴리실리콘층을 제거하는 단계와;

상기 결과를 전영역상에 버퍼산화막을 적층한 후 고전압영역 및 커패시터영역의 버퍼산화막상에 제2감광막을 적층하여 식각으로 제거하는 단계와;

상기 제1게이트산화막 보다 두께가 얇은 제2게이트산화막을 저전압영역의 반도체기판상에 성장시킨 후 전영역 상에 제2폴리실리콘층을 적층하는 단계와;

상기 결과를에서 저전압영역을 제외한 부분의 제2게이트산화막 및 제2폴리실리콘층을 제거하는 단계와;

상기 고전압영역의 제1폴리실리콘층, 저전압영역 및 커패시터영역의 제2폴리실리콘층상에 제3감광막을 적층하여 식각으로 게이트전극 및 커패시터를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 아날로그반도체소자의 듀얼게이트 산화막형성방법.

청구항 2

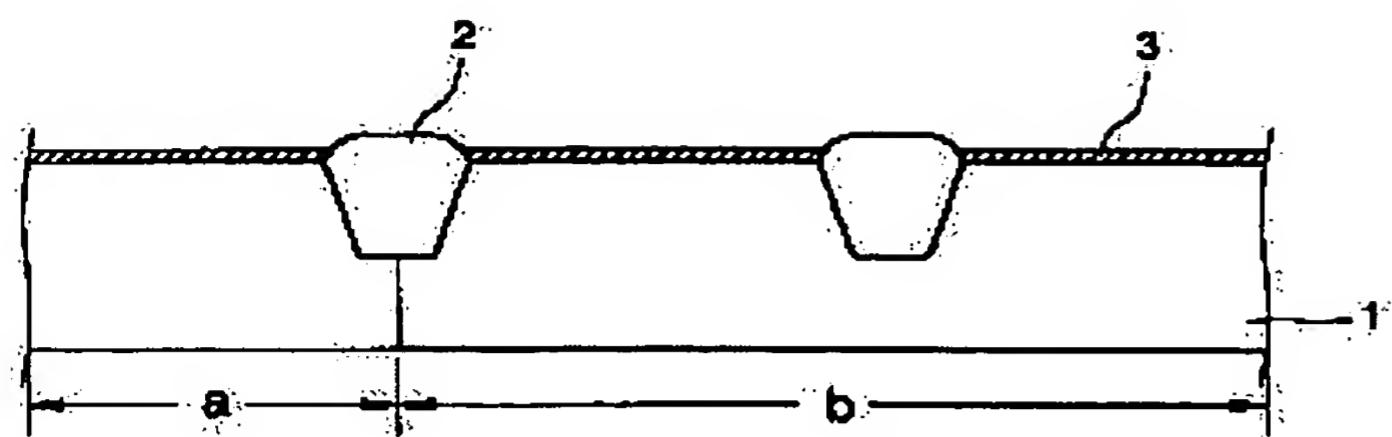
제 1 항에 있어서, 상기 제1폴리실리콘층은 커패시터 하부전극의 커패시턴스를 조절하기 위하여 도핑률질이 함유된 것을 특징으로 하는 아날로그반도체소자의 듀얼게이트 산화막형성방법.

청구항 3

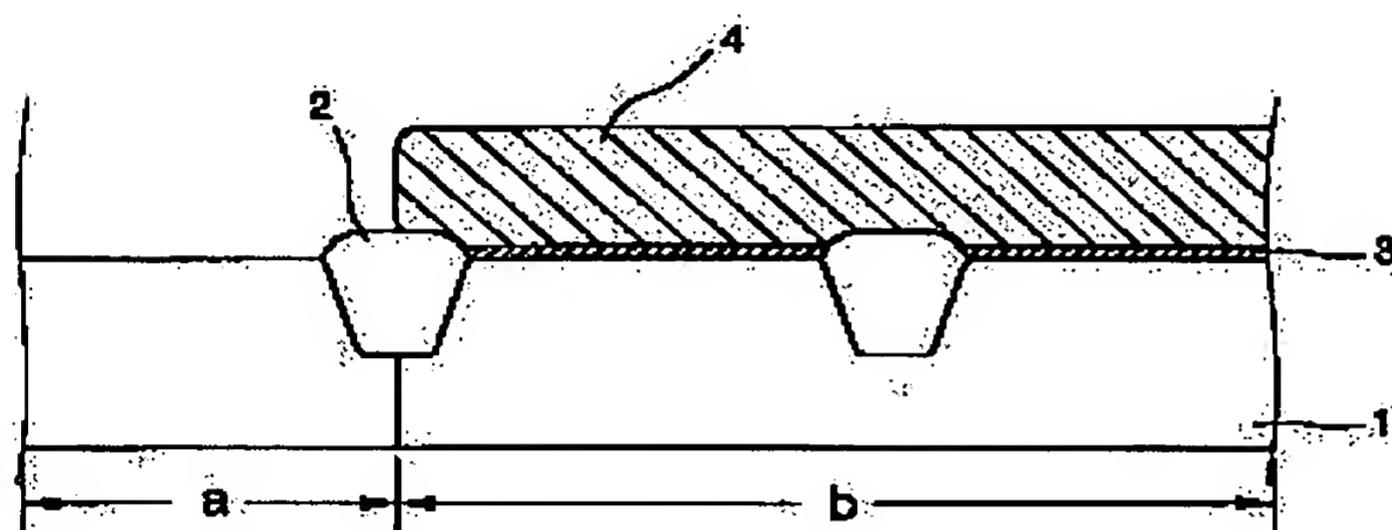
제 1 항 또는 제 2 항에 있어서, 상기 제1폴리실리콘층은 저압화학기상증착법으로 510~650°C의 온도로 증착되는 것을 특징으로 하는 아날로그반도체소자의 듀얼게이트 산화막형성방법.

도면

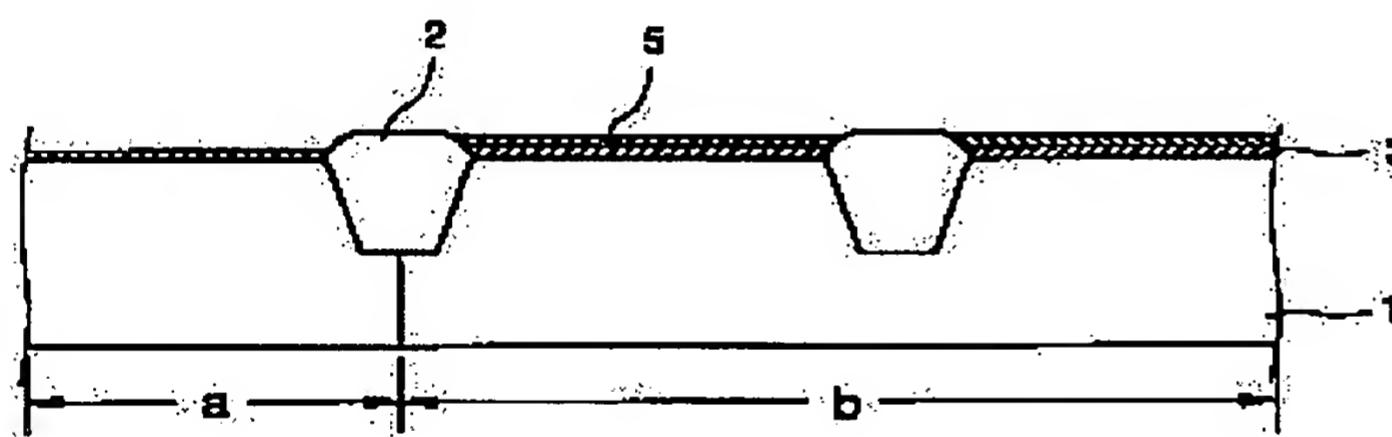
도면 1a



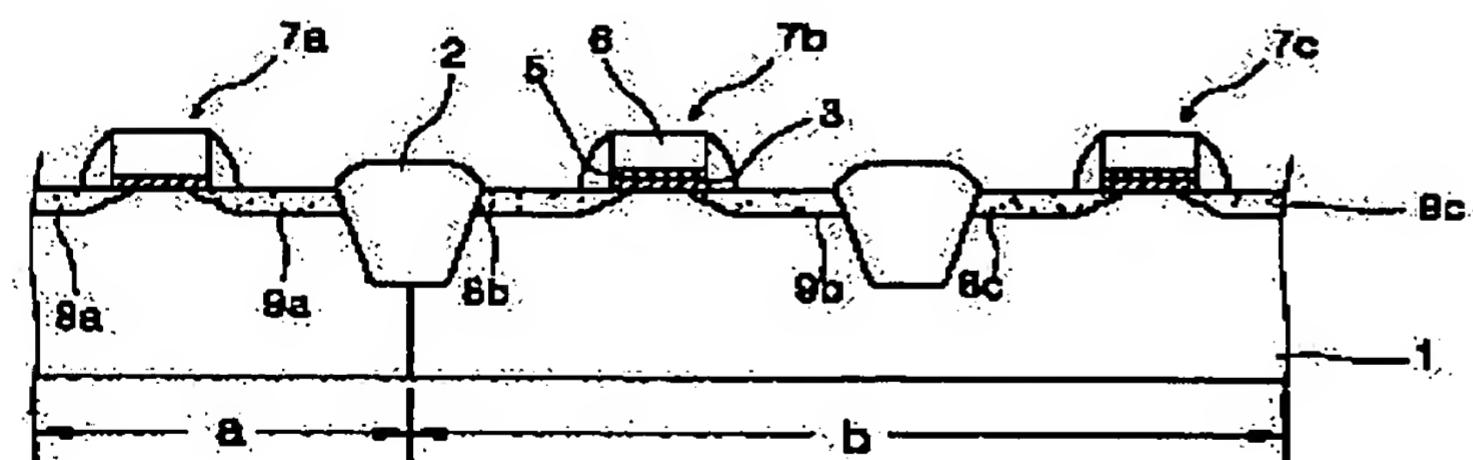
도면 1b



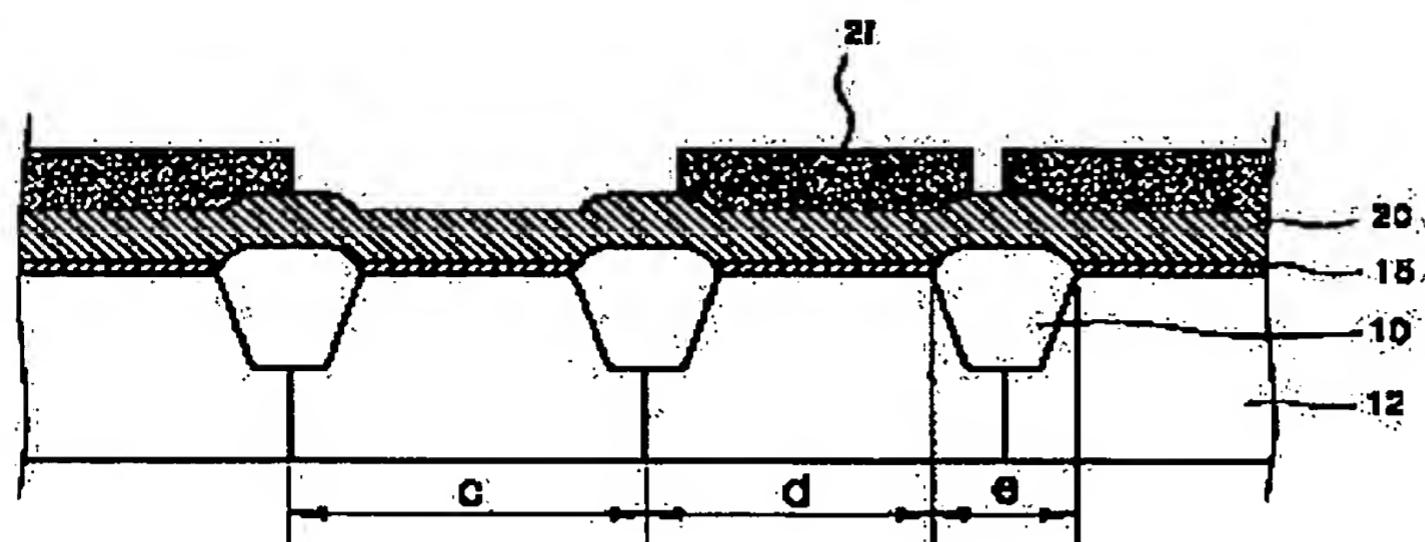
도면 1c



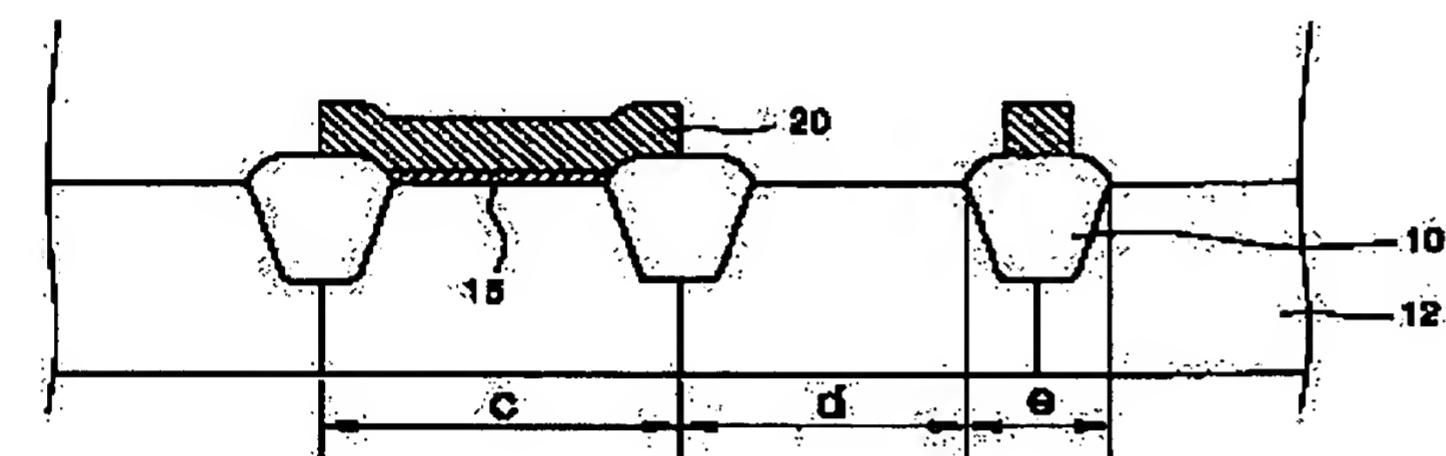
도면 1d



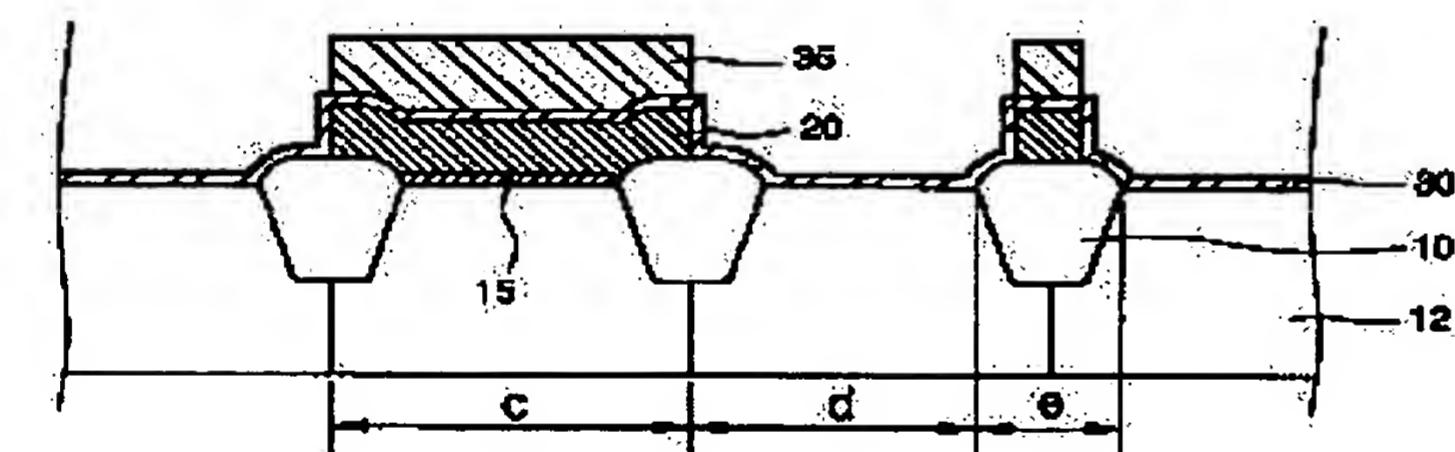
도면2a



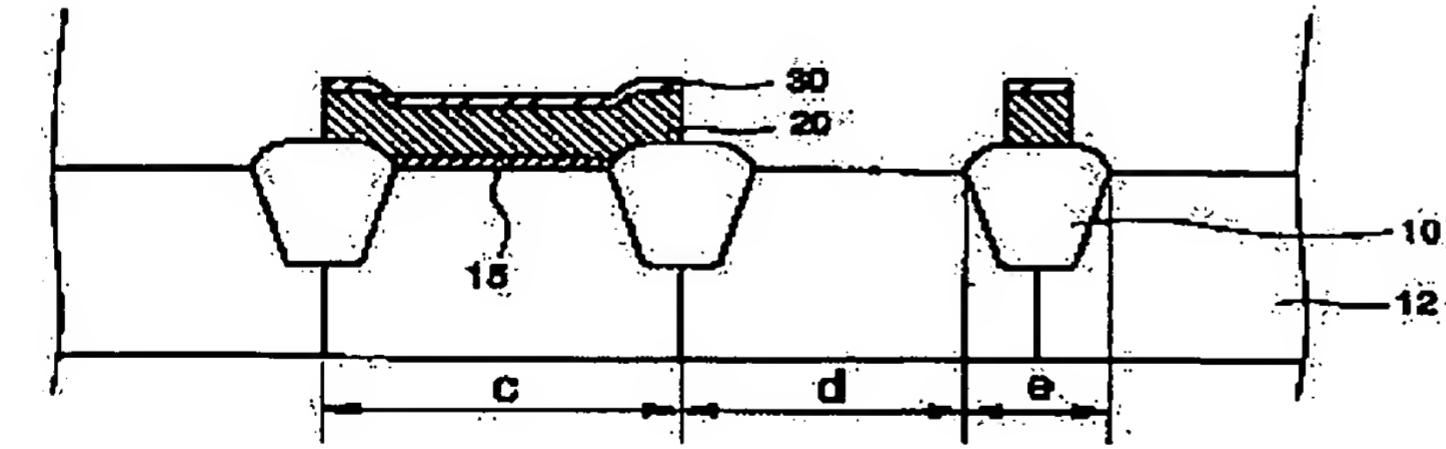
도면2b



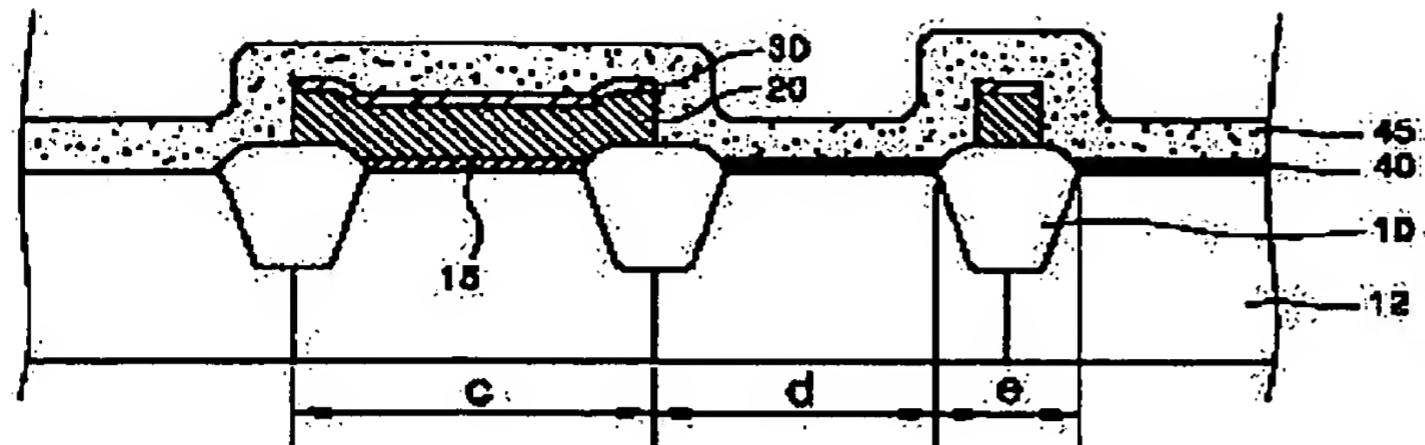
도면2c



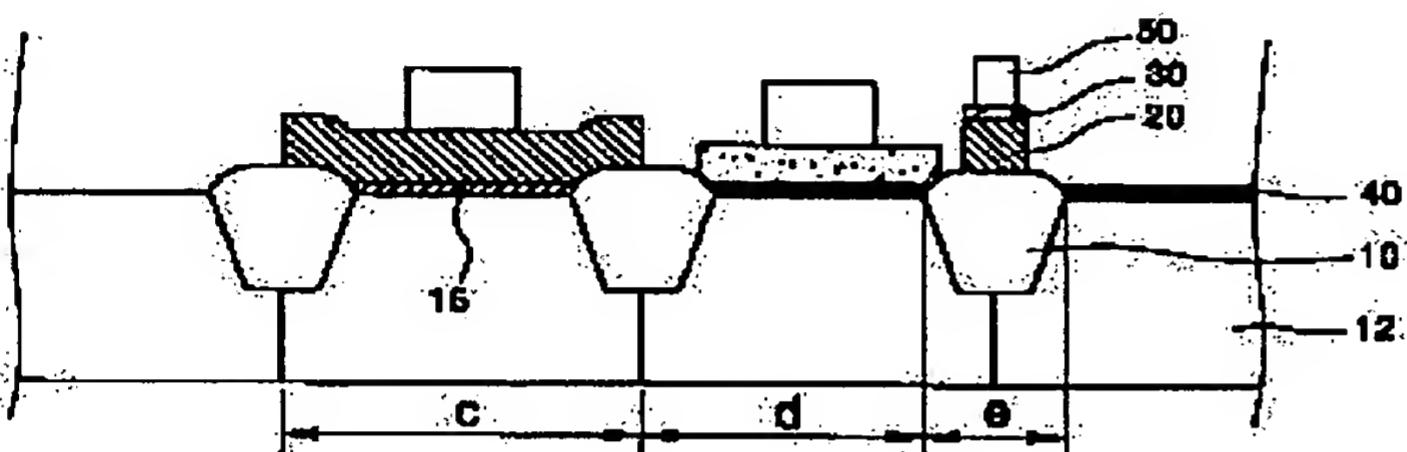
도면2d



도면26



도면27



도면28

